

AUKŠTADAŽNIŲ, 65 NM KMOP TECHNOLOGIJOS, LC ĮTAMPA VALDOMŲ GENERATORIŲ PROJEKTAVIMAS IR TYRIMAS

Vytautas Mačaitis¹, Vaidotas Barzdėnas²

Vilniaus Gedimino technikos universitetas

El. paštas: ¹vytmacaitis@gmail.com; ²vaidotas.barzdenas@vgtu.lt

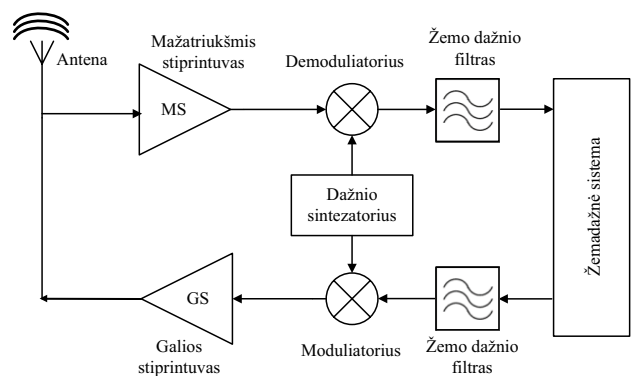
Santrauka. Straipsnyje nagrinėjami ir projektuojami LC įtampa valdomi generatoriai (LC-ĮVG), plačiai taikomi šiuolaikiniuose daugiastandarčiuose ir daugiajuosčiuose siųstuvuose-imtuvuose. Naudojant TSMC kompanijos 65 nm LP/MS/RF KMOP integruotųjų grandynų gamybos technologiją suprojektuoti ir išanalizuoti du skirtingų dažnio diapazonų LC-ĮVG. Generuojamas dažnis yra valdomas dviem būdais, t. y. galimas apytikslis bei tikslus dažnio nustatymas. Norint apytiksliai nustatyti dažnį naudojamas 6 bitais skaitmeniškai valdomas perjungiamų kondensatorių blokas, o norint tiksliai parinkti valdymą – NMOP varaktorių blokas. Kompiuterinio modeliavimo metu gauti tokie pagrindiniai LC-ĮVG parametrai: valdomo dažnio diapazonas – nuo 5,17 GHz iki 6,76 GHz (LC-ĮVG1) ir nuo 6,33 GHz iki 8,08 GHz (LC-ĮVG2); fazinis triukšmas, esant 1 MHz poslinkio dažniui ir maksimaliam nešlio dažniui: –123,1 dBc/Hz (LC-ĮVG1) ir –121,6 dBc/Hz (LC-ĮVG2); vartojamoji galia, esant maksimaliam nešlio dažniui: –30,47 mW (LC-ĮVG1) ir 30,5 mW (LC-ĮVG2). Suprojektuotų LC-ĮVG1 ir LC-ĮVG2 topologijų plotas yra atitinkamai lygus 0,078 mm² ir 0,096 mm².

Reikšminiai žodžiai: įtampa valdomas generatorius, siųstuvai-imtuvai, varaktoriai, induktyvumo ritė, topologija, integrinis grandynas.

Įvadas

Šiuo metu bevielio greitaeigio kompiuterinio tinklo technologijos apima labai daug ir įvairių standartų, pvz.: WLAN IEEE 802.11a, b, g, h, n, ac, ad, WiMAX IEEE802.16e, m, LTE ir t. t. Norint naudotis keliomis bevielio ryšio technologijomis tame pačiame įtase būtinas daugiastandartis, daugiajuostis siųstuvai-imtuvai (angl. *multi-standard, multi-band transceiver*). Tačiau projektuojant šiuos siųstuvus-imtuvus susiduriama su pagrindine problema – plataus dažnių ruožo (nuo 0,1 GHz iki 10 GHz) realizavimas viename luste (Razavi 2009). Taip pat reiktų paminėti ir tai, kad būsimame WLAN IEEE802.11ad standarte aprašytam bevieliam ryšiui bus naudojamas nelicenzijuojamas 60 GHz dažnių ruožas ir minėtoji problema bus dar aktualesnė.

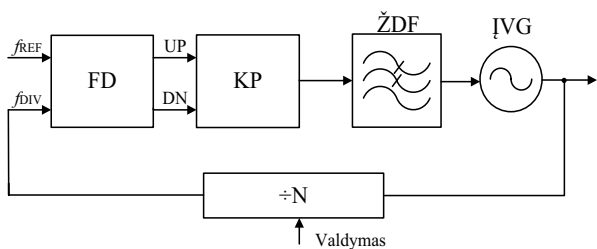
Siųstuvai-imtuvai yra pagrindinė bevielės duomenų perdavimo sistemos dalis, kurios funkcija yra duomenų priėmimas bei išsiuntimas. Supaprastinta siųstuvai-imtuvai blokinė schema pavaizduota 1 pav. Imtuvą sudaro mažatriukšmis stiprintuvas (MS), demoduliatorius, žemų dažnių filtras bei žemadažnė sistema. Na o siųstuvai sudarytas iš žemadažnės sistemos, žemų dažnių filtro, modulatoriaus ir galios stiprintuvo (GS). Bevielio ryšio siųstuve-imtuve kaip dažnio sintezatorius dažniausiai yra naudojama fa-



1 pav. Bevielio ryšio siųstuvai-imtuvai blokinė schema
Fig. 1. Block schematic diagram of wireless transceiver

zės derinimo kilpa FDK (angl. *phase locked loop* (PLL)). Šis įtaisas naudojamas laikiniams signalams atkurti, dažniui generuoti bei sinchronizuoti.

Klasikinę FDK sudaro penki pagrindiniai komponentai (2 pav.): fazės detektorius (FD), krūvio pompa (KP), žemo dažnio filtras (ŽDF), įtampa valdomas generatorius (ĮVG) ir dažnio daliklis ($\div N$). FD detektuoja dažnio ir fazės neatitiktį tarp f_{REF} ir grįžtamojo ryšio f_{DIV} įėjimų. Paskui FD generuoja UP arba DN signalus. Šių signalų generavimas



2 pav. Klasikinės fazės derinimo kilpos blokinė schema
Fig. 2. Block diagram of classical phase-locked loop

priklauso nuo to, ar grįžtamojo ryšio signalo f_{DIV} dažnis atsilieka ar pralenkia f_{REF} . Jeigu KP gauna UP signalą, tuomet yra generuojamas teigiamas srovės impulsas, priešingu atveju, t. y. gavus DN signalą – generuojamas neigiamas srovės impulsas. Iš KP srovės impulsai patenka į ŽDF, kur yra integruojami bei filtruojami. Gaudamas iš ŽDF valdymo signalą, ĮVG didina arba mažina išėjimo dažnį, taip pašalinama fazės paklaida. Taigi, jei FD generuoja UP signalą, tuomet ĮVG dažnis didinamas, jei generuoja DN signalą – ĮVG dažnis mažinamas. ĮVG stabilizuojasi tik tuomet, kai f_{REF} ir f_{DIV} įėjimų dažnis ir fazė sutampa. Esant tokiai būsenai FDK yra užrakinta. Taigi, ĮVG yra vienas iš pagrindinių FDK sudedamųjų dalių (Best 2007).

Dažniausiai aukštadažnėse FDK yra naudojami dviejų tipų ĮVG: žiediniai ĮVG ir LC-ĮVG. Žiediniai ĮVG užima nedidelį plotą luste ir gali generuoti plataus valdymo diapazono dažnį. Tačiau pagrindinis jų trūkumas – didelis fazinis triukšmas. LC-ĮVG gali generuoti aukštą dažnį esant nedideliame faziniame triukšme, bet valdymo diapazonas nėra platus, o induktyvumo ritė užima didelį plotą luste.

Projektuojant daugiastandarčius, daugiajuosčius siųstuvus-įmtuvus stengiamasi įgyvendinti kuo aukštesnio gene-

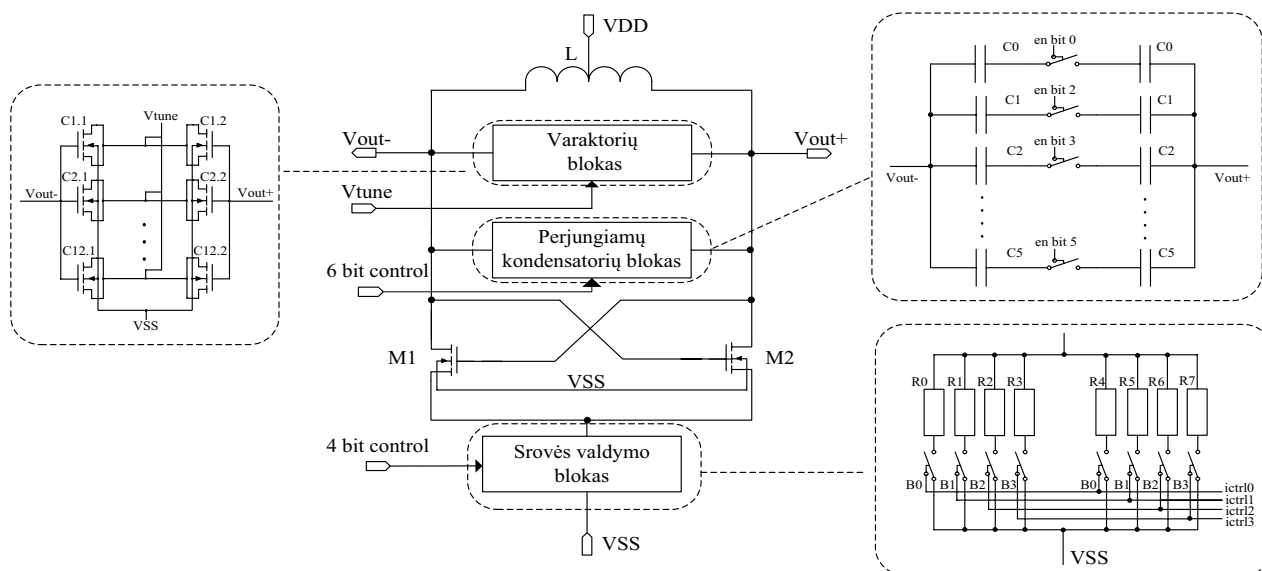
ruojamo dažnio, platesnio ir tikslesnio valdymo diapazono, mažų fazinių triukšmų ir galios LC-ĮVG. Šiame straipsnyje pateikiami suprojektuoti ir plačiame veikimo diapazone modeliuoti du LC-ĮVG, kurie gali būti naudojami daugiastandarčiuose, daugiajuosčiuose siųstuvuose-įmtuvuose.

LC-ĮVG projektavimas

Projektuojamų LC-ĮVG principinė elektrinė schema pateikta 3 pav. LC-ĮVG sudaryti iš šių pagrindinių dalių: aukštos kokybės induktyvumo ritės (L), varaktorių ir perjungiamų kondensatorių bloko (pastarieji elementai kartu su L sudaro LC kontūrą), abipusio ryšio tranzistorių (M1, M2) ir srovės valdymo bloko (Tiebout 2006).

Perjungiamų kondensatorių blokas. Suprojektuotų LC-ĮVG dažnis yra valdomas dviem būdais, t. y. galimas apytikslis bei tikslus generuojamo dažnio nustatymas. Apytiksliai nustatant dažnį yra naudojamas perjungiamų talpų blokas. Šis blokas sudarytas iš 6 kondensatorių masyvų, sujungtų lygiagrečiai. Priklausomai nuo reikiamos talpos šie masyvai skaitmeniškai, t. y. valdant 6 bitais, įjungiami arba išjungiami. Šis įjungiamų arba išjungiamų talpų masyvų valdymas realizuotas panaudojus NMOP tranzistorius. Kadangi iš viso yra 6 nepriklausomos valdymo reikšmės, todėl suprojektuotuose LC-ĮVG iš viso galimi 64 skirtingi išėjimo dažniai.

Varaktorių blokas. Tikslus LC-ĮVG dažnio valdymas yra atliekamas naudojant varaktorių bloką. Šis blokas sudarytas iš lygiagrečiai sujungtų šukinės konfigūracijos NMOP varaktorių. Keičiama nuo 0,5 V iki 2,5 V išorinė įtampa V_{tune} naudojama tiksliam, tiesiškam varaktorių talpos valdymui (Shu, Synenico 2005).



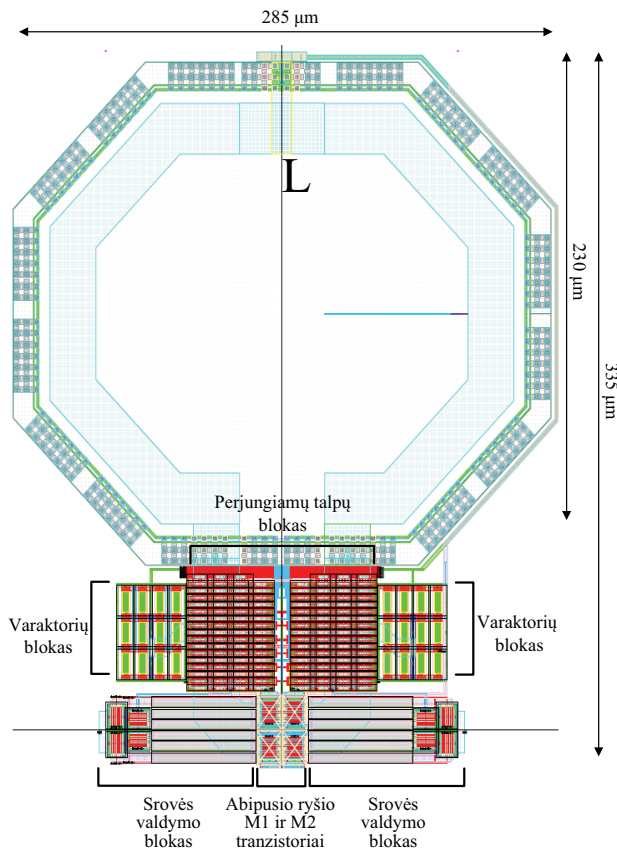
3 pav. Projektuojamų LC-ĮVG principinė elektrinė schema
Fig. 3. Electrical schematic of the designed LC-VCO's

Srovės valdymo blokas. Paskutinis LC-ĮVG blokas – srovės valdymo blokas. Srovės valdymas reikalingas siekiant optimizuoti galios sąnaudas ir spartesniam LC-ĮVG susižadinimui bei tiksliam dažnio generavimui, kintant aplinkos sąlygoms, t. y. temperatūrai bei maitinimo įtampoms. Šiame bloke srovė skaitmeniškai valdoma 4 bitais.

LC-ĮVG topologijų projektavimas

Pirmojo LC-ĮVG topologija pavaizduota 4 pav. Ši topologija suprojektuota naudojant profesionalų integrinių grandynų projektavimo programinį paketą CADENCE ir TSMC 65 nm KMOP LP/MS/RF technologijos projektavimo bibliotekas.

Tiek LC-ĮVG1, tiek LC-ĮVG2 topologijos suprojektuotos laikantis simetrijos. Simetriškas aukštadažnių grandynų projektavimas yra svarbus tuo, kad sumažinami nepageidautini parazitiniai ryšiai bei elementai. Projektuojant gauti LC-ĮVG1 ir LC-ĮVG2 topologijų bei induktyvumų plotai pateikti 1 lentelėje. Iš šios lentelės matyti, kad didžiąją topologijos dalį užima induktyvumo L ritė. LC-ĮVG1 ši ritė užima 68,75 % bendro topologijos ploto, o LC-ĮVG2 – 66,67 %.



4 pav. LC-ĮVG1 topologija
Fig. 4. Layout of the LC-VCO1

1 lentelė. LC-ĮVG1 ir LC-ĮVG2 topologijų plotas

Table 1. Area of the LC-VCO1 and LC-VCO2 layouts

LC-ĮVG Nr.	LC-ĮVG1		LC-ĮVG2	
	Ilgis, μm	Plotis, μm	Ilgis, μm	Plotis, μm
Ritės matmenys	285	230	255	205
Ritės plotas	0,066 mm ²		0,052 mm ²	
LC-ĮVG matmenys	285	335	255	305
LC-ĮVG plotas	0,096 mm ²		0,078 μm ²	

Iš 4 pav. matyti, kad induktyvumo ritė L orientuota topologijos viršutinėje dalyje. Ritė sudaryta iš vienos vijos aukščiausio sluoksnio metalo. Kadangi šis metalas yra storesnis bei platesnis nei kiti technologijoje esantys, gaunama aukšta ritės kokybė. Suprojektuotų ričių kokybės ir induktyvumo dydžiai yra tokie: LC-ĮVG1 – $Q = 28,15$ ir $L = 282$ pH, LC-ĮVG2 – $Q = 30,17$ ir $L = 220,5$ pH.

Perjungiamų kondensatorių blokas yra suprojektuotas ritės apačioje. Bloko viduryje prijungta 6 bitų valdymo šyna, kuri sujungia kondensatorius su viršuje esančia simetriškai orientuota galutine valdymo šyna.

Bendrą varaktorių bloką sudaro du atskiri blokai, kuriuose yra po 12 lygiagrečiai sujungtų varaktorių. Šie du varaktorių blokai yra orientuoti simetriškai centro atžvilgiu ir yra perjungiamų talpų bloko šonuose.

LC-ĮVG1 topologijos apačioje, centre orientuoti abipusio ryšio tranzistoriai (angl. *cross-coupled transistors*) M1 ir M2. Srovės valdymo blokas išskaidytas į dvi simetriškas dalis ir tiesiogiai prijungtas prie abipusio ryšio tranzistorių.

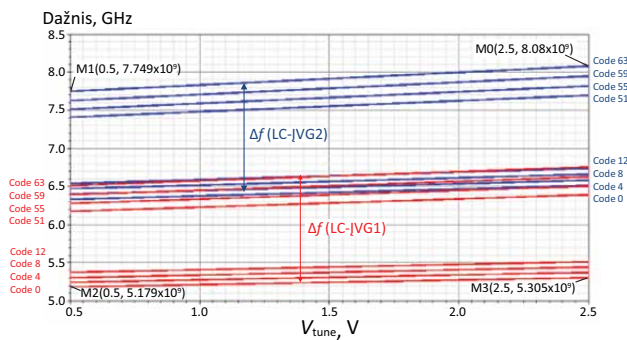
Suprojektuotose LC-ĮVG1 ir LC-ĮVG2 topologijose skiriasi tik induktyvumo ritės, o kiti blokai yra identiški.

Modeliavimo rezultatai

Šiame skyriuje pateikiami abiejų LC-ĮVG topologijų kompiuterinio modeliavimo rezultatai plačiame jų veikimo diapazone. Šiems modeliavimo rezultatams atlikti buvo naudojami TSMC gamintojo pateikiami 65 nm KMOP LP/MS/RF technologijos matematinių modelių rinkiniai. Šie matematiniai modeliai gaunami statistiškai apdorojant pagamintų bandinių matavimo duomenis.

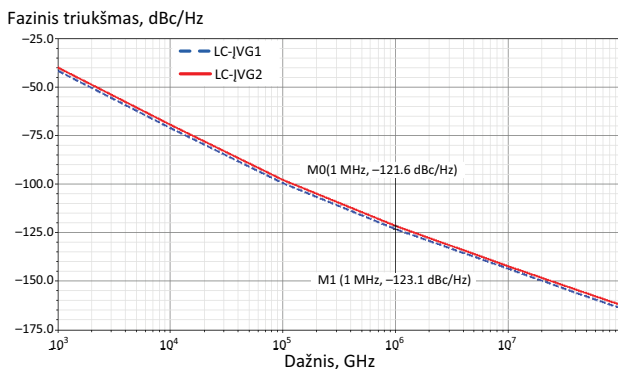
LC-ĮVG1 ir LC-ĮVG2 generuojamų dažnių valdymo diapazonas pateiktas 5 pav. Šis dažnių diapazonas gautas keičiant varaktorių bloko valdymo įtampos V_{tune} vertes nuo 0,5 V iki 2,5 V ir kondensatorių bloko valdymo skaitmenines vertes nuo 0 iki 63. Iš šių modeliavimo rezultatų matyti, kad LC-ĮVG1 dažnių diapazonas yra nuo 5,17 GHz iki 6,76 GHz, o antrojo LC-ĮVG2 – nuo 6,33 GHz iki 8,08 GHz.

Fazinių triukšmų kompiuterinio modeliavimo rezultatai pavaizduoti 6 pav. LC-ĮVG1 fazinis triukšmas esant



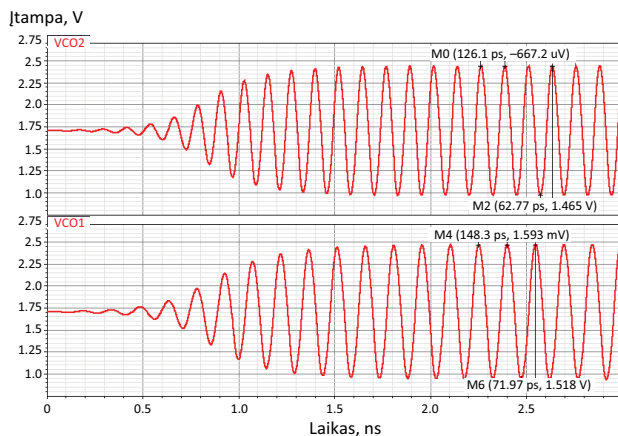
5 pav. LC-IVG1 ir LC-IVG2 dažnių valdymo diapazonas

Fig. 5. Frequency tuning range of the LC-VCO1 and LC-VCO2



6 pav. LC-IVG1 ir LC-IVG2 faziniai triukšmai, kai $f = f_{\max}$

Fig. 6. Phase noise of LC-VCO1 and LC-VCO2, when $f = f_{\max}$



7 pav. Laikinės LC-IVG charakteristikos, kai $f = f_{\max}$

Fig. 7. Time response of the LC-VCO, when $f = f_{\max}$

maksimaliam dažniui $f_{\max} = 6,76$ GHz ir ties 1 MHz poslinkio dažniu yra lygus $-123,1$ dBc/Hz. LC-IVG2 fazinis triukšmas esant $f_{\max} = 8,08$ GHz dažniui yra nežymiai prastesnis ir lygus $-121,6$ dBc/Hz.

Abiejų LC-IVG laikinės charakteristikos pavaizduotos 7 pav. Iš šių paveikslų matyti, kad esant didžiausiems dažniams svyravimai vyksta ties 1,75 V įtampa, o amplitudės yra lygios 0,733 V (LC-IVG1) ir 0,759 mV (LC-IVG2).

Atlikus vartojamosios galios kompiuterinį modeliavimą nustatyta, kad LC-IVG1 $P = 30,47$ mW, o LC-IVG2 $P = 30,5$ mW. Šios galios gautos esant didžiausiems dažniams $f = f_{\max}$.

Išvados

Suprojektuoti ir išanalizuoti du įtampa valdomi LC generatoriai: LC-IVG1 ir LC-IVG2. Kompiuterinis modeliavimas buvo atliktas taikant Cadence programinį paketą ir naudojant TSMC 65 nm KMOP LP/MS/RF technologijos projektavimo bibliotekas. Sumodeliavus gauti tokie pagrindiniai LC-IVG parametrai: valdomo dažnio diapazonas – nuo 5,17 GHz iki 6,76 GHz (LC-IVG1) ir nuo 6,33 GHz iki 8,08 GHz (LC-IVG2); fazinis triukšmas esant poslinkio dažniui 1 MHz ir maksimaliam nešlio dažniui – $-123,1$ dBc/Hz (LC-IVG1) ir $-121,6$ dBc/Hz (LC-IVG2); vartojamoji galia esant maksimaliam nešlio dažniui $-30,47$ mW (LC-IVG1) ir $30,5$ mW (LC-IVG2).

Literatūra

- Best, R. 2007. *Phase locked loops: design, simulation, and applications*. 6th ed. New York: McGraw-Hill Professional. 490 p.
- Razavi, B. 2009. Multi-decade carrier generation for cognitive radios, *IEEE Symposium on VLSI Circuits*, 16–18 June, 2009, Kyoto, Japan, 120–121.
- Shu, K.; Synenico, E. S. 2005. *CMOS PLL synthesizers: analysis and design*. New York: Springer. 232 p.
- Tiebout, M. 2006. *Low power VCO design in CMOS*. Berlin: Springer. 144 p.

DESIGN AND INVESTIGATION OF 65 NM RF CMOS TECHNOLOGY LC-VCO'S

V. Mačaitis, V. Barzdėnas

Abstract

In this paper, two LC Voltage-Controlled Oscillators (LC-VCO1 and LC-VCO2) are designed using TSMC 65 nm LP/MS/RF CMOS technology. Two arrays, one of which is a 6-bit capacitor array and the other – an array of MOS varactors, provide a wide LC-VCO frequency tuning range. Post-layout simulation results unveiled that at 1.8 V supply voltage the tuning range of LC-VCO1 spans from 5.17 GHz to 6.76 GHz and for LC-VCO2 the range spans from 6.33 GHz to 8.08 GHz. The phase noise at 1 MHz offset frequency is about -123.1 dBc/Hz for LC-VCO1 and -121.6 dBc/Hz for LC-VCO2. The power dissipation at maximum carrier is 30.47 mW for LC-VCO1 and 30.5 mW for LC-VCO2. The layout area is $285 \times 335 \mu\text{m}$ and $255 \times 305 \mu\text{m}$, respectively for LC-VCO1 and LC-VCO2.

Keywords: voltage controlled oscillator, transceiver, varactor, inductor, layout, integrated circuit.