

Elektronika T 170

FAZĖS DERINIMO KILPOS INTEGRINIO GRANDYNO PROJEKTAVIMAS IR TYRIMAS

Jevgenij Charlamov

Vilniaus Gedimino technikos universitetas

El. paštas: charlamov@gmail.com

Santrauka. Pateikti reikalavimai fazės derinimo kilpos su krūvio pompa integrinio grandyno architektūrai ir išnagrinėti svarbiausi jos funkciniai blokai. Atlikta įtampos valdomo generatoriaus fazinių triukšmų analizė, aptarta parametų priklausomybė nuo geometrinių matmenų ir jų įtaka visos sistemos triukšmams. Fazės derinimo kilpos integrinio grandyno lusto plotas lygus $150 \times 250 \mu\text{m}^2$, suvartojama galia – 10 mW, o fazinis triukšmas –125 dBc/Hz esant 1 MHz nuokrypiui nuo centrinio 670 MHz dažnio.

Reikšminiai žodžiai: fazės derinimo kilpa, įtampa valdomas generatorius, fazinis triukšmas, integrinis grandynas.

Įvadas

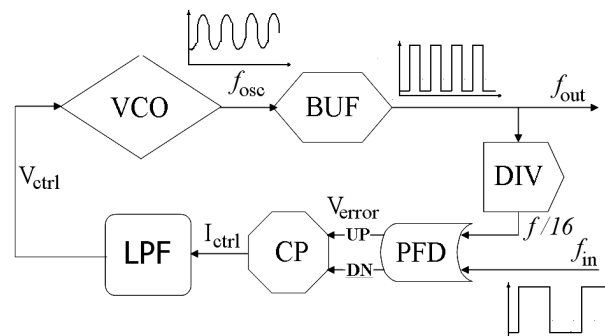
Įvairiose šiuolaikinėse sistemose fazės derinimo kilpa – PLL (angl. *Phase Locked Loop*) naudojama generatoriaus signalo sinchronizavimui įėjimo arba atraminio signalu pagal fazę ir dažnį. Darbo tikslas buvo sukurti kuo mažesnį lusto plotą užimantį integrinį grandyną naudojant KMOP 0,18 μm technologiją. Pagrindiniai reikalavimai integrinio grandyno parametrams yra tokie: sinchronizavimo juosta nuo 25 iki 60 MHz, fazinis triukšmas turi būti mažesnis nei –120 dBc/Hz, kai nuokrypio dažnis yra 1 MHz, o vartojamoji galia – mažesnė nei 16,5 mW, esant 3,3 V maitinimo įtampai, sinchronizavimo trukmė pagal fazę ir dažnį ne didesnė 10 μs . Šis uždavinys pareikalavo atlikti įvairių fazės derinimo kilpų tipų bei jų komponentų analizę ir palyginimą.

Darbo metu buvo nustatytos įvairios priklausomybės tarp skirtingų blokų parametrų ir jų įtaka visos sistemos charakteristikoms ir integrinio grandyno matmenims.

Darbo rezultatas – suprojektuotas fazės derinimo kilpos integrinis grandynas, atitinkantis minėtus reikalavimus, kurio lusto plotas yra $150 \times 250 \mu\text{m}^2$. Įtaiso skaičiavimas, modeliavimas ir jo topologijos projektavimas buvo atliktas naudojant *Cadence* programinį paketą pagal *JAZZ Semiconductor* gamyklos 0,18 μm KMOP technologiją.

PLL architektūra ir veikimas

Atlikus įvairių PLL tipų analizę nustatyta, kad uždaviniui išspręsti geriausiai tinka fazės derinimo kilpos turinčios krūvio pompą architektūra – CPPLL (angl. *charge pump PLL*) (1 pav.) (Best 1997).



1 pav. Fazės derinimo kilpos turinčios krūvio pompą architektūra

Fig. 1. Charge pump phase locked loop architecture

CPPLL susideda iš 6 pagrindinių funkcinių blokų:

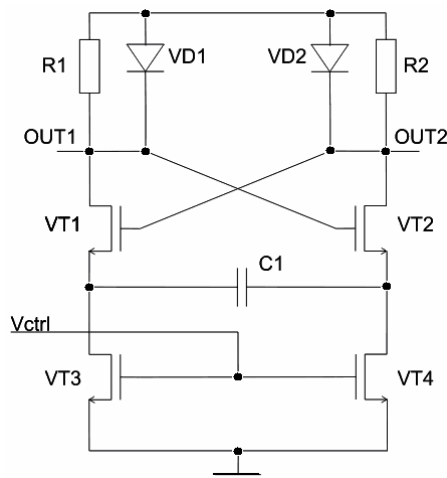
- CP – krūvio pompos (angl. *Charge Pump*);
- PFD – fazės-dažnio detektoriaus (angl. *Phase Frequency Detector*);
- LPF – žemųjų dažnių filtro (angl. *Low Pass Filter*);
- VCO – įtampa valdomo generatoriaus (angl. *Voltage Controlled Oscillator*);
- BUF – buferio;
- DIV – dažnio daliklio, kurio koeficientas lygus 16.

Pateikiame tik bendrą PLL veikimo principą, o detalai jo veikimas aprašytas darbe (Best 1997). Fazės detektorius įvertina fazių nesutapimą tarp įėjimo ir atraminio signalų, o išėjime gaunamas jam proporcingas, teigiamas arba neigiamas signalas (V_{error}). Po to kita krūvio pompa suformuoja atitinkamą srovės impulsą (I_{ctrl}), kuris įkrauna ar iškrauna LPF kondensatorių, kurio įtampa (V_{ctrl}) valdo VCO generuojamo sinusinio virpesio dažnį (f_{osc}). Buferis sinuso formos virpesius keičia stačiakampių impulsų seka

(f_{out}), kurios dažnis dalijamas iš 16 ir lyginamas su įėjimo signalu. Fazėms ir dažniams sutapus, fazės detektorius negeneruoja jokių valdymo signalų. Valdymo įtampa išlieka pastovi ir fazės derinimo kilpa yra sinchronizuota.

Įtampa valdomas generatorius

Dėl plataus dažnio reguliavimo diapazono, mažo užimamo lusto ploto, nes reikalingas tik vienas reaktyvinis elementas – kondensatorius, ir tiesinės priklausomybės tarp valdymo įtampos ir generuojamo dažnio šiam uždaviniui geriausiai tinka multivibratoriaus tipo RC relaksacinis generatorius (2 pav.).



2 pav. Įtampa valdomo generatoriaus schema

Fig. 2. Schematics of voltage controlled oscillator

Norint apskaičiuoti mažiausią pasiekiamą VCO fazinį triukšmą įvertiname svarbiausią veiksnį – varžos triukšmą pusiausvyros būsenoje. Jo tankis išreiškiamas formule $4kT/R$. Kiti triukšmų šaltiniai – $1/f$ arba maitinimo triukšmai, dėl mažos įtakos visos sistemos faziniam triukšmui (Chang *et al.* 1997) nevertinami. Temperatūrai, talpai, generuojamo signalo dažniui ir poslinkio įtampai nekintant, fazinį triukšmą galima rasti pagal formulę:

$$PN_{min}(\Delta f) \approx \frac{5,9f_0kT}{C \cdot Vdd^2(\Delta f)^2} = \frac{3,1kT}{P_{min}} \left(\frac{f_0}{\Delta f} \right)^2; \quad (1)$$

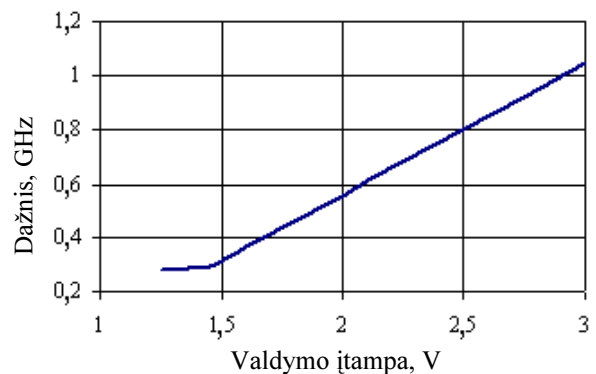
čia: $P_{min} = 0,52f_0 \cdot Vdd^2C$ – minimali vartojamoji galia; f_0 – centrinis dažnis; C – kondensatoriaus talpa; Δf – nuokrypio dažnis; Vdd – maitinimo įtampa; k – Bolcmano konstanta; T – temperatūra.

Iš (1) formulės matome, kad fazinis triukšmas yra atvirkščiai proporcingas minimaliai vartojamajai galiai, kuri savo ruožtu proporcinga talpos vertei ir maitinimo įtampos kvadratui. Reiškia, kuo mažesnė yra talpa ir vartojamoji galia, tuo didesni bus faziniai triukšmai.

Įtampa valdomas generatorius yra pagrindinis fazės derinimo kilpos fazinių triukšmų šaltinis. Prisiminus, kad kiekvienas dažnio daliklis iš 2 mažina fazinius triukšmus 6 dBc, tampa aišku, kad VCO faziniai triukšmai gali būti 24 dBc didesni nei išėjimo: $-120 - (-24) = -96\text{dBc/Hz}$.

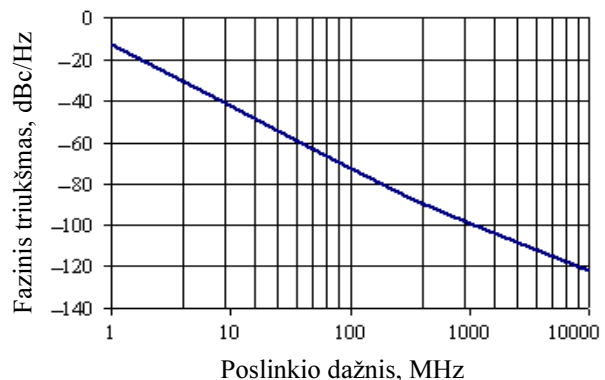
Nustatėme, kad kai kondensatoriaus C1 matmenys luste yra $16 \times 16 \mu\text{m}^2$, jo talpa yra lygi 262 fF, visų parazitinių talpų įtaka generatoriaus veikimui yra labai nedidelė, o fazinis triukšmas yra lygus $-99,33 \text{ dBc/Hz}$ esant 1 MHz nuokrypiui nuo centrinio dažnio. Tai gerai atitinka reikalavimus. Sumažinus talpą iki 100 fF, fazinis triukšmas padidėja beveik 10 dBc/Hz, t.y. iki $-89,7 \text{ dBc/Hz}$, ir tai neatitiktų šio darbo reikalavimų.

Taip pat mes apskaičiavome VCO generuojamo dažnio priklausomybę nuo valdymo įtampos ir fazinį triukšmą esant įvairiems poslinkio dažniams (3 ir 4 pav.). VCO centrinis dažnis yra 670 MHz, o derinimo jautris arba perdavimo koeficientas lygus 470 MHz/V. Visa reguliavimo dažnių juosta nuo 290 MHz iki 1,05 GHz tiesiškai



3 pav. Įtampa valdomo generatoriaus generuojamo dažnio priklausomybė nuo valdymo įtampos

Fig. 3. Voltage controlled oscillator signal frequency dependency on control voltage



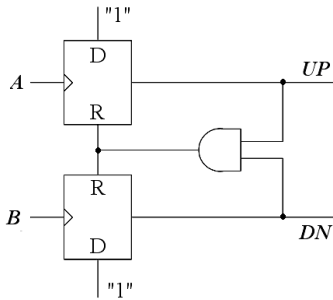
4 pav. Fazinio triukšmo priklausomybė nuo poslinkio dažnio

Fig. 4. Voltage controlled oscillator phase noise dependency on offset frequency

priklauso nuo valdymo įtampos. Ji yra platesnė negu buvo nustatyta reikalavimuose (nuo 400 iki 960 MHz), nes reikia padidinti integrinio grandyno atsparumą temperatūros ir gamybos pokyčiams.

Fazės detektorius ir krūvio pompa

PLL įėjimo signalų dažnių bei fazių sulyginimui buvo suprojektuotas trijų būvių fazės-dažnio detektorius. Jo supaprastinta schema yra parodyta 5 pav.



5 pav. Trijų būvių fazės-dažnio detektoriaus schema

Fig. 5. Schematics of three state phase-frequency detector

Detektorius turi du, A ir B įėjimus. Išėjimo signalas priklauso nuo fazių ir dažnių nesutapimo. Kai įėjimo A signalo dažnis yra mažesnis už signalo B dažnį, tai išėjime DN bus teigiami impulsai, o UP išėjime bus nulis ir atvirkščiai. Generuojamų impulsų trukmė yra lygi fazių nesutapimui. Jeigu įėjimo signalų dažniai ir fazė nesiskiria, abiejuose išėjimuose gauname nulinį signalus.

Suprojektuota PFD grandinė sudaryta iš IR-NE loginių elementų, ir esant aukščiausiajam 60 MHz darbo dažniui vartoja 0,45 mW galią.

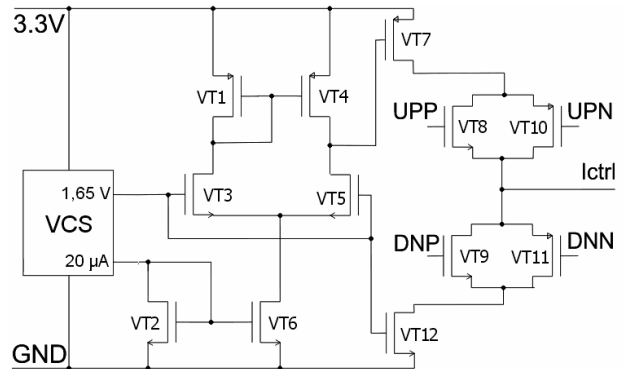
Krūvio pompa yra valdoma PFD UP ir DN signalais ir generuoja teigiamus arba neigiamus srovės impulsus, kurie atitinkamai įkrauna arba iškrauna žemojo dažnio filtro kondensatorių ir valdo įtampa valdomą generatorių.

Efektyviam krūvio pompos darbui būtina:

- vienoda įkrovimo / iškrovimo srovė, kai krūvio pompos išėjimo įtampa yra nuo 0 iki 3 V (Hwang et al. 2009).
- minimalus savaiminis LPF talpos išsikrovimas ir maitinimo įtampos netrumpinimas persijungimų išėjime metu.
- reakcija į 200 ps trukmės valdymo impulsus.

Geriausiai šiuos reikalavimus atitinka diferencinė trijų pakopų krūvio pompa (6 pav.) (Lee et al. 1999). Pirmosios dalies VCS (angl. Voltage and Current Source) išėjime yra gaunama stabilizuota 20 μ A srovė ir 1,65 V įtampa. Antroje pakopoje yra srovės veidrodžiai, veikian-

tys kaip srovės šaltiniai, kurių gaunamos srovių vertės yra lygios 6,5 μ A ir –6,5 μ A. Toliau yra fazės-dažnio detektoriumi valdomi raktai, kurie priklausomai nuo UP ir DN signalų atsidaro arba užsidaro.



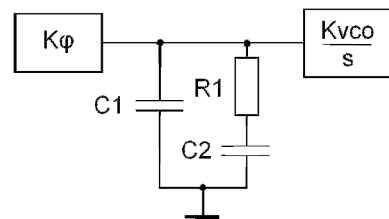
6 pav. Krūvio pompos schema

Fig. 6. Schematics of charge pump

Atlikus skaičiavimus, buvo nustatyta, kad 200 ps valdymo įtampos impulso pakanka, kad būtų sugeneruota valdymo srovė Ictrl ir pakistų įtampa Vctrl.

Filtro projektavimas

Filtro projektavimo etapai yra tokie: filtro struktūros parinkimas, filtro eilės, fazės atsargos, kilpos dažnio juostos pločio apskaičiavimas. Kai reikiami parametrai nustatyti, galima apskaičiuoti filtro polių, nulius ir elementų vertes (Keese 2003).



7 pav. Pasyvus antrosios eilės žemųjų dažnių filtras

Fig. 7. Second order passive low pass filter

Šiame darbe buvo parinktas antrosios eilės pasyvus filtras (7 pav.). Pasyvieji filtrai dažniausiai yra tinkamesni už aktyviuosius, nes pastarieji įneša daugiau fazinio triukšmo, yra sudėtingesni ir brangesni. Antrosios eilės filtras turi mažiausią terminį triukšmą ir didžiausią talpą po VCO, o tai mažina VCO įėjimo talpos įtaką (Lee et al. 2008). Toks filtras taip pat turi didžiausią atsparumą VCO perdavimo koeficiento ir krūvio pompos stiprinimo koeficiento pokyčiams. Tais atvejais, kai įėjimo signalo pirmojo impulso dažnis yra 10 kartų mažesnis

už kontūro dažnių juostos plotį, aukštesni nei 3-iojo laipsnio filtrai nefiltruoja minėto impulso (Keese 2003).

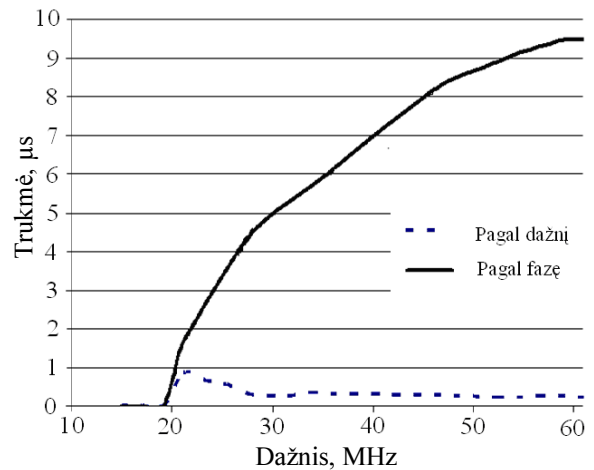
Fazės Φ atsarga siejasi su sistemos stabilumu. Dažniausiai šis parametras parenkamas tarp 40° ir 55° . Skaičiavimai parodė, kad geriausia sinchronizavimo trukmė gaunama tuomet, kai nustatoma 48° fazės atsarga. Didinant fazės atsargos vertę mažėja jautris įvairiems pikams, tačiau padidėja sinchronizavimo trukmė. Mūsų atveju 50° fazės atsarga yra geriausia, norint gauti mažiausią fazės nuokrypį.

Pats kritiškiausias filtro parametras yra PLL juostos plotis F_C . Šios juostos pločio apskaičiavimas yra kompromiso tarp sinchronizavimo trukmės ir filtravimo kokybės paieška. Mažesnis juostos plotis mažina didelių amplitudžių impulsų lygį, tačiau padidina sinchronizavimo trukmę. Taigi yra labai svarbu parinkti tokį juostos plotį, kad būtų žemas minėtų impulsų lygis ir maža sinchronizavimo trukmė. Tais atvejais, kai minėtieji parametrai nėra pagrindiniai projektavimo reikalavimai, tikslinga parinkti tokį juostos plotį, kad PLL triukšmas būtų lygus VCO triukšmui, ir taip sumažinti kilpos fazinį triukšmą. Kitas svarbus filtro projektavimo aspektas yra kondensatoriaus talpos vertė. Jei parinktas juostos plotis labai siauras, kondensatoriaus talpa gali pasidaryti neleistinai didelė. Antra vertus, kai juostos plotis labai didelis, kondensatoriaus talpa gali susilyginti su parazitinės talpos verte ir VCO įėjimo talpomis ir dėl to pakis projektuojamo filtro charakteristikos.

Mūsų atveju fazės derinimo kilpos juostos plotis yra 1 MHz. Dvigubai sumažinus juostos plotį, iki 500 kHz, filtro rezistoriaus varža taip pat padidėtų dvigubai, o tai savo ruožtu padidintų lusto matmenis.

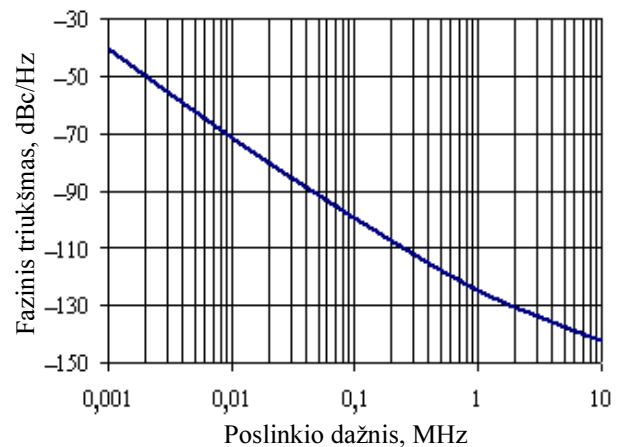
Fazės derinimo kilpa

8 pav. parodytos fazės ir dažnio sinchronizavimo trukmės priklausomybės nuo įėjimo dažnio. Sinchronizavimo trukmė mažėja didėjant dažniui. Taip yra todėl, kad didėjant dažniui, reikia daryti mažesnę postūmį signalų dažnių susilyginimui, o krūvio pompos korekcijos srovės impulsai dažniau koreguoja VCO valdymo įtampą. Tačiau tai turi atvirkščią įtaką sinchronizavimo trukmei pagal fazę. Ji didėja didėjant dažniui, nes korekcijos impulsai pasidaro labai trumpi. Kuo mažesnis bus fazių nesutapimas, tuo lėčiau vyks sinchronizavimo procesas. Be to, dėl krūvio pompos mažiausiai galimas fazių nesutapimas yra apie 150 ps. Taip yra todėl, kad mažiausia korekcijos impulso trukmė, į kurią reaguoja krūvio pompa, yra apie 150 ps.



8 pav. Sinchronizavimo trukmės priklausomybė nuo dažnio

Fig. 8. Pull-in time dependency on input frequency



9 pav. Fazės derinimo kilpos fazinių triukšmų priklausomybė nuo poslinkio dažnio.

Fig. 9. Phase locked loop phase noise vs offset frequency

8 pav. matome, kad suprojektuotos fazės derinimo kilpos sinchronizavimo diapazonas esant normalioms sąlygoms yra nuo 19 iki 62 MHz.

Visos sistemos fazinis triukšmas yra -125 dBc/Hz esant 1 MHz nuokrypiui nuo centrinio dažnio, kai 104 fF talpinė apkrova (9 pav.).

Apskaičiuota visos sistemos vartojamoji galia yra 10 mW, kai dažnis artimas maksimaliam ir lygus 50 MHz. PLL veikimo modeliavimas, esant nepalankiausioms sąlygoms, kai temperatūra buvo keičiama nuo -40° iki 125°C , maitinimo įtampa nuo 3 iki 3,6 V ir įvertinti lusto gamybos metu atsirandantys elementų parametru išsibarstymai buvo sėkmingas. Taip pat buvo suprojektuota PLL topologija, kuri be kontaktinių išvadų užima $150 \times 250 \mu\text{m}^2$ plotą.

Lentelė. PLL integrinio grandyno parametrai

Table. Parameters of integrated circuits PLL

Parametras	Gautas	Reikalavimas
VCO dažnių juosta, MHz	300–1100	480–800
PLL sinchronizavimo juosta, MHz	21–65	25–60
Dalybos koeficientas	16	16
VCO fazinis triukšmas, dBc/Hz	–99,33	–96
PLL fazinis triukšmas, dBc/Hz	–1 25	–120
Sistemos vartojamoji galia, mW	10	16,5
VCO perdavimo koeficientas, MHz/V	470	
Uždaro kontūro juostos plotis, MHz	1	

Išvados

1. Viena iš svarbiausių fazės derinimo kilpos įtaiso sudedamųjų dalių yra įtampa valdomas generatorius. Nustatėme, kad jo fazinis triukšmas yra atvirkščiai proporcingas vartojamajai galiai, kuri savo ruožtu proporcinga talpos vertei ir maitinimo įtampos kvadratui. Buvo suprojektuotas optimalus $16 \times 16 \mu\text{m}^2$ ploto ir 262 fF talpos kondensatorius, įvertinus lusto dydį, vartojamąją galią ir triukšmą. VCO generuojamų dažnių juosta yra nuo 300 MHz iki 1 GHz, perdavimo koeficientas lygus 470 MHz/V, o fazinis triukšmas $\approx -99,33$ dBc/Hz esant 1 MHz nuokrypiui nuo centrinio dažnio.

2. Fazės derinimo kilpos integrinis grandynas gerai atitinka suformuluotus reikalavimus (žr. Lentelę).

3. Dažnio daliklis buvo suprojektuotas iš D-tipo trigerių. Skaičiavimai parodė, kad įtaisas veikia, kai įėjimo dažnis yra 1 GHz, o vartojama srovės yra vos 200 μA .

4. Diferencinei krūvio pompai buvo suprojektuotas stabilios srovės šaltinis, kuris generuoja srovės veidrodžiams atraminę 20 μA srovę ir 1,65 V įtampą. Atlikus PFD ir CP modeliavimą buvo nustatyta, kad pakanka 200 ps valdymo įtampos impulso, kad būtų sugeneruota valdymo srovė ir pakistų VCO valdymo įtampa.

5. PLL integriniam grandynui buvo suprojektuotas antrosios eilės 1 MHz dažnių juostos pločio filtras su dviem 100 fF ir 650 fF talpos kondensatoriais.

6. Visos sistemos fazinis triukšmas lygus 125 dBc/Hz, kai 104 fF talpinė apkrova. Atliekant blogiausio atvejo modeliavimą PLL sistemos veikimas nesutruko, tačiau nedaug pasikeitė sinchronizacijos trukmė ir srovės suvartojimas.

Literatūra

- Best, R. E. 1997. *Phase Locked Loops: Design, Simulation, and Applications*. NY: McGraw-Hill.
- Chang, H.; Cao, X.; Mishra, U. 1997. Phase noise in coupled oscillators: Theory and experiment, *IEEE Trans. Microwave Theory Techn.* MTT-45: 596–598.
- Hwang, M. S.; Kim, J. 2009. Reduction of pump current mismatch in charge-pump PLL, *IET Electronics* 45: 135–136. doi:10.1049/el:20092727
- Keese, W. 2003. An analysis and performance evaluation of a passive filter design technique for charge pump phase-locked loops application note 1001, *National Semiconductor*.
- Lee, M. S.; Cheung, T., S.; Choi, W. Y. 1999. A novel charge pump PLL with reduced jitter characteristics, *International Conference on VLSI and CAD* 45(5): 604–615.
- Lee, T. J.; Wang, C. C. 2008. A phase-locked loop with 30% jitter reduction using separate regulators, *International Conference on VLSI*, 2008.

PLL DESIGN AND INVESTIGATION IN CMOS

J. Charlamov

Abstract

In the article the architecture of a charge pump phase locked loop is shown. The influence on overall system performance of its functional blocks is discussed. Voltage controlled oscillator phase noise analysis is done and the relationship between a charge pump phase locked loop and voltage controlled oscillator phase noises are determined. The requirements and results of the accomplished design are discussed. Area of chip PLL – $150 \times 250 \mu\text{m}^2$, power consumption – 10 mW and phase noise is -125 dBc/Hz with 1 MHz deviation from central 670 MHz frequency.

Keywords: phase locked loop, voltage controlled oscillator, phase noise, integrated circuit, CPPLL.